

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-019778

(43)Date of publication of application : 23.01.1989

(51)Int.Cl.

H01L 29/80  
G02F 1/133  
G09G 3/36  
H01L 27/12  
H01L 27/14

(21)Application number : 62-176118

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 15.07.1987

(72)Inventor : UENO MASAKAZU

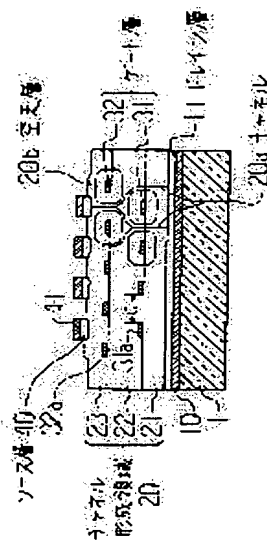
## (54) ELECTROSTATIC INDUCTION TYPE FIELD-EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To enable an OFF operation at a low control voltage for an improved yield by a method wherein a plurality of gate layers, each provided with a plurality of gate electrodes positioned with a prescribed distance between, are buried in a channel-forming region.

CONSTITUTION: Cr is attached by vapor depositing or the like to an insulating glass substrate 1 for the formation of a drain electrode film 10, and a strongly N-type drain layer 11 is grown by the plasma CVD method. The plasma CVD method is used again in a process of forming an amorphous silicon layer 21, which is followed by a process wherein a very thin Pt film is attached to the amorphous silicon layer 21 by sputtering. The Pt-coated amorphous silicon layer 21 is subjected to a photoprocess whereby it is converted into a gate layer 31 divided into a plurality of gate electrodes 31a.

Similarly, an amorphous silicon layer 22 is grown and converted into a gate layer 32 whose plurality of gate electrodes 32a will be caused to locate themselves between the gate electrodes 31a belonging to the gate layer 31. A third amorphous silicon layer 23 is then formed thereon. A process follows wherein an amorphous silicon layer is formed for a strongly N-type source layer 40 and aluminum is attached thereto for a source electrode film 41.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

## ⑫ 公開特許公報(A)

昭64-19778

⑤Int.Cl.<sup>4</sup>

H 01 L 29/80  
G 02 F 1/133  
G 09 G 3/36  
H 01 L 27/12  
27/14

識別記号

3 2 7

庁内整理番号

V-8122-5F  
7370-2H  
8621-5C  
7514-5F  
C-8122-5F

④公開 昭和64年(1989)1月23日

審査請求 未請求 発明の数 1 (全7頁)

⑥発明の名称 静電誘導形電界効果トランジスタ

⑦特 願 昭62-176118

⑧出 願 昭62(1987)7月15日

⑨発 明 者 上 野 正 和 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑩出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑪代 理 人 弁理士 山 口 巖

## 明 細 書

1. 発明の名称 静電誘導形電界効果トランジスタ

2. 特許請求の範囲

1) 内部に導電性のチャネルの形成と絶縁性の空乏層の伸長を許す半導体領域としてなるチャネル形成領域と、該チャネル形成領域内に埋め込まれそれぞれゲート電極を所定間隔で並べて配列した複数のゲート層と、チャネル形成領域を両側から挟むように設けられた互いに逆の導電形をもつソース層およびドレイン層とを備えてなり、複数のゲート層に与えるゲート電圧によりその各ゲート電極からチャネル形成領域内に延びる空乏層により該チャネル形成領域内のチャネルの形成状態を制御してソース層とドレイン層との間の導電状態を制御するようにした静電誘導形電界効果トランジスタ。

2) 特許請求の範囲第1項記載のトランジスタにおいて、複数のゲート層のゲート電極をチャネルの形成される方向に直角な方向にゲート層ごとに互い違いにずらせて設けたことを特徴とする静電

誘導形電界効果トランジスタ。

3) 特許請求の範囲第1項記載のトランジスタにおいて、複数のゲート層のゲート電極をチャネルの形成される方向に互いに重ね合わせて設けたことを特徴とする静電誘導形電界効果トランジスタ。

4) 特許請求の範囲第1項記載のトランジスタにおいて、各ゲート層が所定間隔で互いに平行に配列された複数のゲート電極条により構成されたことを特徴とする静電誘導形電界効果トランジスタ。

5) 特許請求の範囲第1項記載のトランジスタにおいて、各ゲート層が所定間隔の目をもつ網状のゲート電極として構成されたことを特徴とする静電誘導形電界効果トランジスタ。

6) 特許請求の範囲第1項記載のトランジスタにおいて、チャネル形成領域がソース層と同じ導電形を有することを特徴とする静電誘導形電界効果トランジスタ。

7) 特許請求の範囲第1項記載のトランジスタにおいて、チャネル形成領域がアモルファスシリコンで構成されることを特徴とする静電誘導形電界効果

果トランジスタ。

8) 特許請求の範囲第7項記載のトランジスタにおいて、チャネル形成領域が $1\mu$ 前後の厚みをもつアモルファスシリコンの薄膜であることを特徴とする静電誘導形電界効果トランジスタ。

9) 特許請求の範囲第1項記載のトランジスタにおいて、電界効果トランジスタがスイッチングトランジスタとして用いられることを特徴とする静電誘導形電界効果トランジスタ。

10) 特許請求の範囲第1項記載のトランジスタにおいて、複数のゲート層に同じゲート電圧が与えられることを特徴とする静電誘導形電界効果トランジスタ。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

本発明は静電誘導形電界効果トランジスタ、とくに半導体として薄膜のアモルファスシリコンを用いスイッチングトランジスタとして用いるに適する静電誘導形電界効果トランジスタに関する。

#### (従来の技術)

極膜2を設け、その上を薄い絶縁膜3で覆いさらにその上に薄いアモルファスシリコン膜3を成長させる。このアモルファスシリコン膜3上のゲート電極膜2の両側に当たる部分にソース電極膜5およびドレイン電極膜6を設けることにより、簡単なTFET(薄膜トランジスタ)が構成される。容易にわかるように、このTFETはソース電極膜5とドレイン電極膜6との間のアモルファスシリコン膜4の絶縁膜3との界面付近をチャネルとする横形の電界効果トランジスタであるが、アモルファスシリコンの電子移動度が高々 $1\text{cm}^2/\text{V}\cdot\text{sec}$ と低い上に、実用上はチャネル長を $10\mu\text{m}$ 程度にしか縮められないので、チャネルのオン抵抗がかなり大きくなり、これとゲート・ソース間あるいはゲート・ドレイン間の寄生容量との積で決まる時定数がどうしても大きくなってしまい、その最高動作周波数はせいぜい $100\text{kHz}$ どまりである。これに対して、前述のイメージセンサやディスプレイパネル用のTFETとしては $10\text{MHz}$ 程度の動作周波数が要求される。

静電誘導形電界効果トランジスタは一名SITとして知られており、その原理はとくに多結晶シリコンを用いたものについて特公昭52-6076号に記述がある。この実用化も進んでおり、種々の容量をもつSITが主に個別素子の形であるいは集積回路用の小容量の回路要素の形で利用されている。ところで、これら個別素子や集積回路ともやや趣を異にし、ガラス板などの絶縁基板の面内に分布して多数のトランジスタ等の能動素子を作り込む必要が生じることがある。ファクシミリ用のリニヤなイメージセンサやアクティブマトリックス方式のディスプレイパネルがこの例であって、その寸法が数 $\text{cm}$ から数十 $\text{cm}$ 角の大形のものが必要なので多結晶シリコンを基板に用いるのは適当でなく、前述の絶縁基板上にプラズマCVD法等で成長されたアモルファスシリコン等の半導体薄膜が能動素子の基体として用いられる。

第3図はこのアモルファスシリコンを用いた横形の電界効果トランジスタを示すものである。絶縁基板としてのガラス板1の表面にまずゲート電

この点を解決しうるTFETとしては、第4図に示す縦形のSITが特開昭60-224280号に開示されており、これは前述の特公昭52-6076号によるSITをほぼそのままTFETに適用したものである。図示のようにガラス板1の表面にドレイン電極膜10がまず被着される。アモルファスシリコン膜はこのドレイン電極膜10上に成長され、まず溝をドーブしたn形のドレイン層11を成長させた後、ドーブなしのごく弱いn形のチャネル形成領域20を成長させる。ゲート層30は相互間隔dを置いて図の横方向に並べられた複数のゲート電極30aからなり、上のチャネル形成領域20用のアモルファスシリコンの成長の途中でその中に埋め込まれる。さらにチャネル形成領域20の上面には溝ドーブのn形のソース層40が成長され、その上にソース電極膜41を被着した上で、これらソース層40とソース電極膜41が図示のように複数個に分割される。このSITではソース電極41を接地しドレイン電極10に6V程度の正の電圧を与えた状態で、ゲート層30に加える負のゲート電圧を換えること

によってそのドレイン・ソース間に流れる電流を制御することができる。このTFTのチャネル形成領域20には薄膜ではあるがその内部のいわばバルクを通してチャネルが形成され、ゲート層にゲート電圧が掛かっていないときドレイン・ソース間にこのチャネルを介して電流が流れるが、ゲート層に負のゲート電圧を掛けるとこれによりチャネルの幅が絞られて電流が減少して行き、負のゲート電圧がある動作しきい値を越えるとチャネルがピンチオフされてドレイン・ソース間が開状態となる。

(発明が解決しようとする問題点)

上述のTFTとしてのSITは、そのチャネル長がチャネル形成領域20の厚みになるからその値を数 $\mu\text{m}$ 以下にすることもでき、その動作周波数を前述の10MHzあるいはそれ以上に上げることができるが、それをスイッチングトランジスタとして用いる場合などにそのオフ操作電圧の低いものを得るのが困難な問題がある。

第5図はこのSITの特性例を示すものである

- 7 -

で、温度などの条件変化によってこの程度の狂いが出やすいのである。また、集積回路や個別素子の場合のようにウエハ内の良品チップだけを使うわけに行かないので、基板内にイメージセンサの場合は数千個、ディスプレイパネルの場合は数万個作り込まれるSITの1個でも不良になると全体が不良になってしまう。このため、これらの中に作り込むTFT用のパターンはできるだけ大きい目にしてホトプロセス中の仕損じの確率を減らしたいわけである。

本発明にかかる問題点を解決して、低い制御電圧で動作が可能な静電誘導形電界効果トランジスタを仕損じなく確実に製作できるようにすることを目的とする。

(問題点を解決するための手段)

本発明は、静電誘導形電界効果トランジスタを内部に導電性のチャネルの形成と絶縁性の空乏層の伸長を許す半導体領域としてなるチャネル形成領域と、該チャネル形成領域内に埋め込まれそれぞれゲート電極を所定間隔で並べて配列した複数

(M. Ueda 他: Japanese Journal of Applied Physics, vol. 24, No. 4, p467 から引用)。図にはゲート層内のゲート電極の相互間隔 $d$ をパラメータとしてゲート電圧 $V_g$ とドレイン・ソース間電流 $I_d$ との相関が示されており、図からわかるように、ゲート電極間隔 $d$ が $5\mu\text{m}$ の場合はオフ操作電圧は3V強であるが、ゲート電極間隔 $d$ が $7.5\mu\text{m}$ の場合はオフ操作電圧が8V近くにもなってしまう。前述のイメージセンサやディスプレイパネルにこのSITを適用する際、オフ操作電圧はデジタル回路のいわゆるTTLレベルの5V以下であることが望ましく、このためには上記からわかるようにゲート電極間隔を $5\mu\text{m}$ 程度にしてやらねばならないが、これが現実には困難なのである。

この困難な理由は、SITを組み込むイメージセンサやディスプレイパネルが集積回路などと違ってずっと大きいことと、それに組み込まれるSITの数が多いいことにある。前述のようにイメージセンサやディスプレイパネル用の基板、従ってそれ用のホトマスクの大きさが数十 $\text{cm}$ にもなるの

- 8 -

個のゲート層と、チャネル形成領域を両側から挟むように設けられた互いに逆の導電形をもつソース層およびドレイン層とで構成し、複数個のゲート層に与えるゲート電圧によりその各ゲート電極からチャネル形成領域内に延びる空乏層により該チャネル形成領域内のチャネルの形成状態を制御してソース層とドレイン層との間の導電状態を制御することにより上述の目的を達成するものである。

(作用)

上述のようにSITにおけるゲート電圧の作用はチャネルの幅を絞ってチャネル中を流れる電流を減少させ、ないしはその電流を切ってしまうことにあるが、このチャネルの幅ないしは径を絞るのはゲート電極からチャネル形成領域内に広がる空乏層であって、チャネルはその両側ないしはまわりから空乏層によって締め上げられるようになってその断面が縮小する。ところが従来のSITでは、このようにチャネルが絞られるのはそのチャネル長の中の1個所だけである。もちろん、チ

チャンネルがもつある長さの中で1個所でもその断面が絞られて断となれば、チャンネルを流れる電流が切れてしまうわけで、チャンネルを絞るのは1個所で充分とも思えるが、実際には必ずしもそうでないことがわかった。すなわち、空乏層によって絞られたチャンネルの狭窄部ではチャンネルのもつ電気抵抗はその断面縮小率に応じて増えるが、この狭窄部以外のチャンネル部分の電気抵抗があまり変わらないから、負のゲート電圧がさほど大きくない内はチャンネル全体として電気抵抗はそれ程は増加しないでチャンネルを通る電流があまり減少せず、ゲート電圧がオフ操作電圧のごく近くになってチャンネルの狭窄部の断面がほとんどなくなったときに始めてチャンネルを流れる電流が急激するものと考えられる。この傾向は前の第5図に示された特性をよく注意して見ると明らかである。このオフ操作電圧付近の電流の急速な減少は一面ではSITの電流遮断特性の良好なことを示すものといえるが、反面ではこの急減に至るまでの電流の緩やかな減少がオフ操作電圧値を減少させる上ではマイ

-11-

にずらされたゲート電極の間を縫うようにその通路が曲げられ、この通路は各ゲート電極から延びている空乏層のまわりに巻き付く形状をとり、従って1個のゲート電極からの空乏層によりチャンネルの長手方向のより大きな範囲に作用を及ぼすことができるからである。逆にこの態様ではチャンネルの通路が曲げられる分だけチャンネル長が増え、傾向としてはSITの動作可能な周波数が落ちることにはなるがチャンネル長の増加率はさほど大きくならず、とくに縦形のTFETではもともとチャンネル長を充分短くできるので動作周波数に与える影響はあまり問題にしないでよい。もちろん、本発明におけるゲート電極は、最も簡単には複数のゲート層のゲート電極をチャンネルの形成される方向に互いに重ね合わせて設けることでよい。

いずれにせよ、本発明における複数のゲート層はそのチャンネルに与える絞り作用の範囲が従来より広いので、同じゲート電圧をゲート層に与えてもチャンネル全体の電気抵抗の増加率が従来より大となり、これに応じてチャンネルを通る電流がよ

ナスの効果を生じているのである。

本発明はこの点に着目してなされたもので、チャンネルに対してそのより長い範囲に空乏層によって絞り作用を働かせる手段を採る。この作用範囲の拡大は単純にはゲート電極のチャンネルの長手方向の寸法を増やすことにより可能であるが、むしろ作用点の数を増やす方が作用範囲の拡大に有利なので、本発明は前記の構成にいうようにゲート電極を所定間隔で並べて配列したゲート層を複数層設ける手段を採る。各ゲート層はチャンネルの長手方向に対してある範囲の絞り作用を与えるから、層間間隔をある程度明けてゲート層を複数層設けることにより、原理的には層数にほぼ比例してチャンネルの狭窄部の長さを増加させることができるからである。さらに本発明の有利な実施態様では、複数のゲート層のゲート電極をチャンネルの形成される方向に直角な方向にゲート層ごとに互いにずらせることによって、この作用範囲を上比例関係よりもさらに有効に増加させることができる。この態様の場合、チャンネルはゲート層ごと

-12-

り早く減少されるので、SITのオフ操作電圧を従来よりも低くすることができる。本発明の場合、各ゲート層内の電極間隔を10 $\mu$ m程度にまで広げても、オフ操作電圧をほぼ3Vにまで低めることができる。このように従来と同じ程度の低いオフ操作電圧を得るのに電極間隔を約2倍に広げることができるので、ホトプロセスに必要な精度が従来よりずっと楽になり、これにより前述の所期の課題が解決される。

#### (実施例)

以下、図を参照しながら本発明の実施例を説明する。第1図は2層のゲート層31,32を設け、かつそのゲート電極31a,32aを図の左右方向に互いにずらせた実施例を示すものである。

第1図において、絶縁基板としての1~3mm厚みのガラス板1上にまずCrを蒸着法等により約1 $\mu$ mの厚みに被着してドレイン電極膜11とする。つぎにシランに0.1~1%のフォスフィンを混合したガスを用いてプラズマCVD法により強いn形でドレイン層11を0.05~0.1 $\mu$ mの厚みに成長させ

た上で、チャネル形成領域20用のドーブなしのごく弱いn形のアモルファスシリコンの成長工程に入る。このチャネル形成領域20内にはゲート層31, 32が2層埋め込まれるので、チャネル形成領域20用のアモルファスシリコン層は図で21~23で示された3層構成になり、各層の厚みは例えば0.3~1 $\mu$ mとされる。まず最初のアモルファスシリコン層21をプラズマCVDで成長させた後、0.05 $\mu$ m前後のごく薄いPt膜をスパッタ法でその上に被着した後ホットプロセスにより図示のようなゲート電極31aに分割してゲート層31とする。電極間隔dは前述のように10 $\mu$ m程度とし、各ゲート電極31aの図の左右方向の幅は例えば5 $\mu$ mとする。各ゲート電極はストライプないしは条として、このゲート電極条を電極間隔dで互いに平行に複数条配列してゲート層を構成するのがふつうであるが、場合によりゲート電極を電極間隔dの目をもつ網状構造とすることによりゲート層を構成してもよい。同様に2層目のアモルファスシリコン層22を成長させた上で、ゲート層32をそのゲート電極32aが

-15-

部分を除去することにより、分割されたソース層40を形成する。

以上のように構成されたこの実施例による静電誘導形電界効果トランジスタは、従来と同様にソース電極膜41を接地し、ドレイン電極膜10に例えば5V程度の正の電圧を与え、ゲート層31, 32は負の制御電圧を加えて使用する。チャネル形成領域20内にはチャネル20aが形成されるが、このチャネルはこの実施例の場合図示のようにゲート電極31a, 32aの間を縫うように曲げられ、かつ途中でその分岐や統合が生じうるやや複雑な形をとる。ゲート層31, 32に負のゲート電圧が加えられたとき、それらの各ゲート電極31a, 32aからチャネル形成領域20内に空乏層20bが図示のように広がって、チャネル20aの断面を絞る作用をすることは前述のとおりである。この実施例の場合、空乏層によるチャネルへの絞り作用がかなり強力に働くので、前述の電極間隔で3V程度の低いオフ操作電圧が得られる。

第2図に示す本発明の異なる実施例では、2層

ゲート層31のゲート電極31a相互間に図示のように入るように形成する。この上に3層目のアモルファスシリコン層23を成長させることによりチャネル形成領域20の成長が終わるが、引き続いて前のドレイン層11と同様に強いn形でソース層40用のアモルファスシリコン層を0.05~0.1 $\mu$ mの厚みでチャネル形成領域のアモルファスシリコン層23の全面上に成長させ、さらにその上にソース電極膜41用にアルミを例えば1 $\mu$ m程度の厚みに蒸着法等で全面被着する。これら全面成長ないしは全面被着されたアモルファスシリコン層やアルミ膜をそのままソース層40およびソース電極膜41としてもよいのであるが、チャネルの形成場所を安定化させる等の観点からは、従来と同様にこれらソース層40とソース電極41を図示のように複数個に分割するのが望ましく、このためまずアルミ膜をホットプロセスにより図示のように分割してソース電極膜41とした上で、この分割されたアルミ膜をマスクとしてプラズマエッチング法により、強いn形のアモルファスシリコン層のアルミ膜下以外の

-16-

のゲート層31, 32が設けられるのは前と同じであるが、両ゲート層のゲート電極31a, 32aがチャネル20aが延びる図の上下方向に互いに重ね合わされている点異なる。この実施例によるSITの製作工程は前の実施例と同じであるが、ゲート電極31a, 32aの電極間隔dは例えば8 $\mu$ m程度とされ、各ゲート電極の図の左右方向の幅も同程度とされる。また、この実施例においては両ゲート層31, 32の層間間隔を前の実施例におけるよりも図示のようにやや小さい目にするのが望ましい。チャネル20aはこの実施例の場合チャネル形成領域20内で図示のようにその上下方向にまっ直ぐに形成され、その左右方向から空乏層20bによる絞りを受ける。この実施例においても、ゲート層の構成を上記のようにしたとき、3V程度の低いオフ操作電圧が得られる。

(発明の効果)

以上述べたとおり、本発明においてはチャネル形成領域内に埋め込まれそれぞれゲート電極を所定間隔で並べて配列したゲート層を複数層設ける

ようにしたので、複数のゲート層に与えるゲート電圧によりその各ゲート電極からチャネル形成領域内に延びる空乏層により、該チャネル形成領域内のチャネルの形成状態を制御してソース層とドレイン層との間の導電状態を制御することができ、その空乏層によりチャネル形成領域内のチャネルを絞る作用が従来よりもずっと強力に働くようになり、各ゲート層内のゲート電極の電極間隔を従来より2倍程度に広げても、充分低いオフ操作電圧値をもつ静電誘導形電界効果トランジスタを得ることができる。

本発明のもつこの効果はとくに静電誘導形電界効果トランジスタがイメージセンサやディスプレイパネル内に組み込まれるTFTに有用であって、ゲート電極の電極間隔が広がったことによりその製作上のホットプロセスに要求される精度が格段に楽になるので、ホットプロセス精度不良に因る製品不良が出るおそれが実際上なくなり、その歩留まりを従来よりも大幅に向上することができる。

#### 4. 図面の簡単な説明

第1図および第2図が本発明に関し、それぞれ本発明の異なる実施例を示す静電誘導形電界効果トランジスタの縦断面図である。第3図以降は従来技術に関し、内第3図は横形構成の静電誘導形電界効果トランジスタの縦断面図、第4図は従来の縦形構成の静電誘導形電界効果トランジスタの縦断面図、第5図は第4図に示す静電誘導形電界効果トランジスタの特性例を示す線図である。図において、

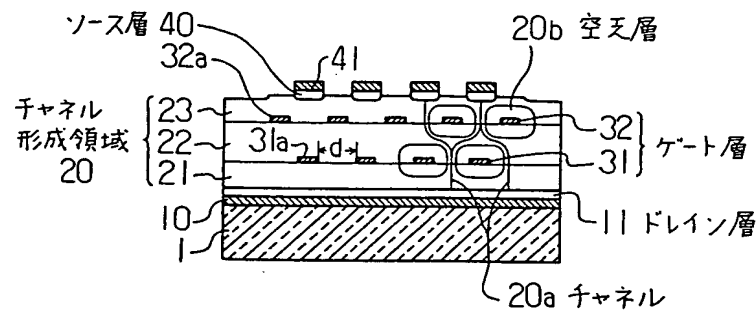
1：絶縁基板ないしはガラス板、10：ドレイン電極膜、11：ドレイン層、20：チャネル形成領域、20a：チャネル、20b：空乏層、21～23：チャネル形成領域を構成するアモルファスシリコン層、31、32：ゲート層、31a、32a：ゲート電極、40：ソース層、41：ソース電極膜、d：ゲート電極の電極間隔、Id：導電形電流、Vg：ゲート電圧、である。

代理人弁護士 山口 巖

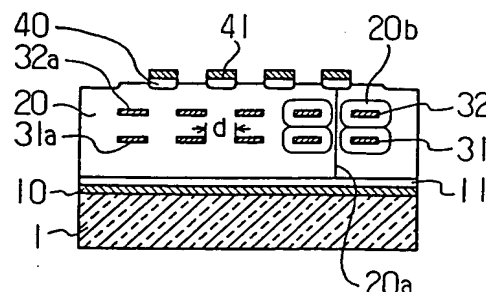


- 19 -

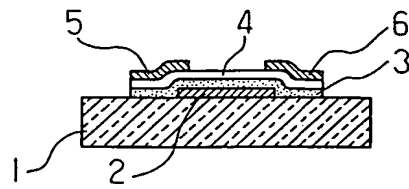
- 20 -



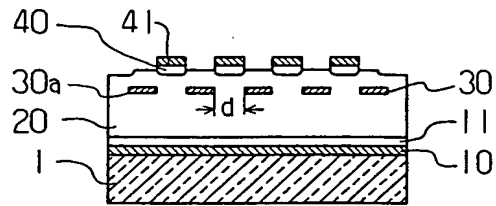
第1図



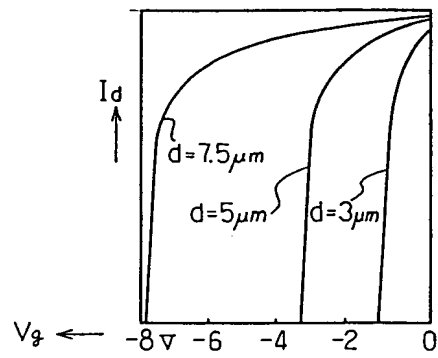
第2図



第 3 図



第 4 図



第 5 図